



(19)

(11) Publication number:

**58060529**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **56160626**(51) Intl. Cl.: **H01L 21/02**(22) Application date: **06.10.81**

(30) Priority:

(43) Date of application  
publication: **11.04.83**(84) Designated contracting  
states:(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **YOSHIDA MIYOSHI  
KOTANI KYOHIKO**

(74) Representative:

**(54) IDENTIFYING METHOD  
FOR SEMICONDUCTOR  
CHIP**

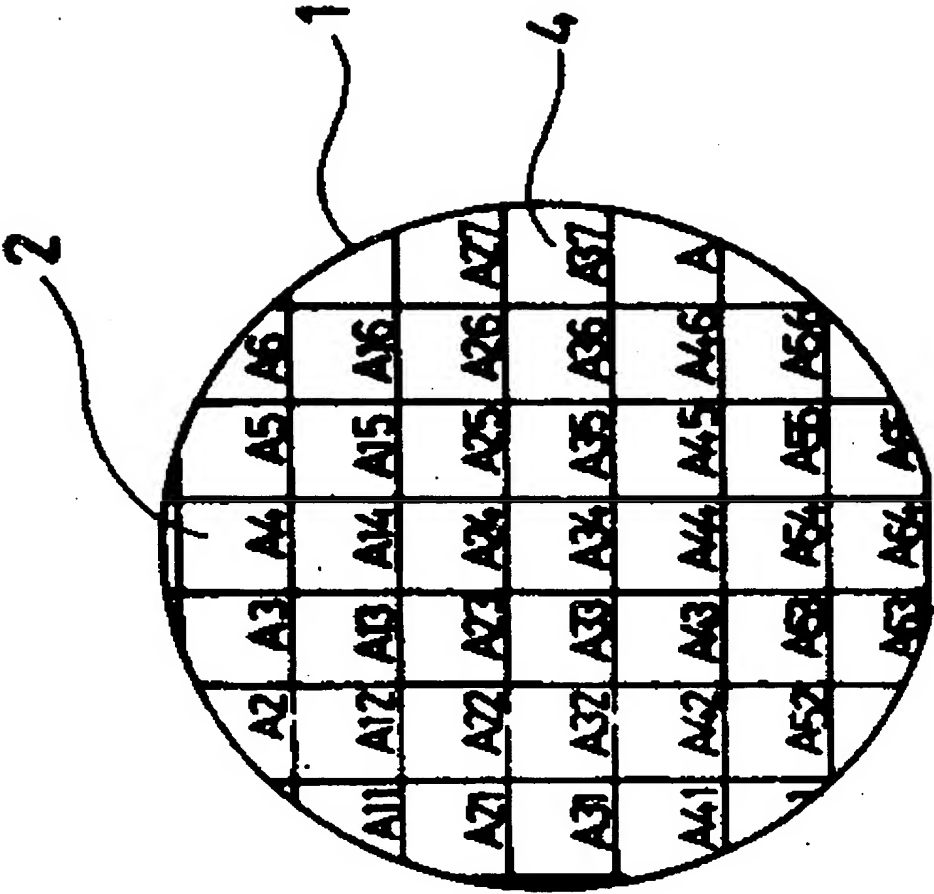
(57) Abstract:

**PURPOSE:** To improve the efficiency percentage of semiconductor chips, by a method wherein each of chips formed in the same wafer in one lot is provided with an individual mark, thereby allowing each chip to be identified.

**CONSTITUTION:** Each of a plurality of chips 2 formed in the same wafer 1 is provided with an individual identification mark 4, e.g., an individual number. After the identification mark 4 is read and stored by means of a TV camera or the like, electrical characteristics of each chip 2 is measured to judge the quality thereof and the rank to which the chip belongs if it is good, and the result is also stored. Upon completion of measurement for all the chips, the wafer 1, together with the mark and judging result of each chip 2, is sent

to the subsequent assembling step,  
where the chips cut are sorted  
according to their characteristics and  
then assembled.

COPYRIGHT: (C)1983,JPO&Japio



⑬ 日本国特許庁 (JP)  
 ⑭ 公開特許公報 (A)

⑮ 特許出願公開  
 昭58—60529

⑯ Int. Cl.<sup>3</sup>  
 H 01 L 21/02

識別記号

庁内整理番号  
 6679—5F

⑰ 公開 昭和58年(1983)4月11日

発明の数 1  
 審査請求 未請求

(全 2 頁)

⑱ 半導体チップの識別方法

⑲ 特 願 昭56—160626  
 ⑳ 出 願 昭56(1981)10月6日  
 ㉑ 発 明 者 吉田美義  
 伊丹市瑞原4丁目1番地三菱電  
 機株式会社エル・エス・アイ研

究所内  
 ㉒ 発 明 者 小谷教彦  
 伊丹市春日丘5—22—7  
 ㉓ 出 願 人 三菱電機株式会社  
 東京都千代田区丸の内2丁目2  
 番3号  
 ㉔ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体チップの識別方法

2. 特許請求の範囲

1枚の半導体ウエハ上に複数個の半導体チップを一括して形成させる場合、個々の半導体チップの一方の主表面または他方の主表面、もしくはその表面の適所に、同チップに固有の識別表示をなしたことを特徴とする半導体チップの識別方法。

3. 発明の詳細を説明

この発明は半導体チップの識別方法、特に半導体ウエハ上に形成される複数個の半導体チップを個々に識別するための識別方法に関するものである。

半導体装置を構成する半導体チップ(以下チップと称する)は、従来から第2図にみられるように、1枚の半導体ウエハ(以下ウエハと称する)①上に、拡散、成膜、写真製版などの技術を用いて複数個のチップ②を一括して形成させたのち、個々のチップ②の電気特性を測定検査し、不良品

についてののみインタなどでマーク③を施し、このマーク③のないチップ②のみを良品として個々に切り出し、その後の組み立て工程に送り、半導体装置として完成させている。

しかしこのような従来の不良品についてののみマーク③を施す方法は、いわゆるRO/YO判定であつて、チップ②を特種別に選別することは不可能であり、従つてたとえ僅かでも測定に誤して誤格値をはずれると、不良品になつてしまい、用途によつては使用可能なチップ②であつても廃棄されるという不都合があつた。そしてこれはウエハ①上に形成される多数のチップ②が、すべて同一パターンであるために生ずるものでもあつた。

この発明は従来のこのような欠点に鑑み、測定に誤してたとえ誤格値をはずれたチップであつても、他の用途に使用可能なものを活用できるようにするために、同一ウエハ①内に一括して形成される各チップ②に、個々に独立した表示を施して、これらをそれぞれに識別し得るようにしたものである。

以下、この発明方法の一実施例につき、第2図を参照して詳細に説明する。

この第2図において前記第1図と同一符号は同一または相当部分を示しており、この実施例では前記した同一ウエハ(1)内に複数個形成されるチップ(2)のそれぞれに個々に異なる組織表示(4)、例えば個々に異なる番号を表示させ、この組織表示(4)を例えばテレビカメラなどにより、撮取して識別し得るようにしたものである。

従つてこの実施例の場合、チップ(2)上の組織表示(4)を撮取り記憶してから電気特性を測定して、対象チップの良、不良ならびに良品であればどのランクに相当するかを判定してその結果をも記憶し、すべてのチップの測定を終了したのち、個々の各チップ(2)に対する表示および判定結果を合わせて、その結果ウエハ(1)を次の組み立て工程に送り、切り出された個々のチップ(2)を特性別に選別して組み立てるようにすればよく、これによつて従来のようにGO/NO判定で不採用となつていたチップをも特性に応じて採用できるようになり、

チップ良品率を向上し得ると共に、併せて製造工程上での自動化、省力化に寄与するところがある。

#### 4. 図面の簡単な説明

第1図は従来例による半導体ウエハを示す正面図、第2図はこの発明方法の一実施例を適用した半導体ウエハを示す正面図である。

(1)・・・ウエハ、(2)・・・チップ、(4)・・・組織表示。

代理人 葛野 信一(外1名)

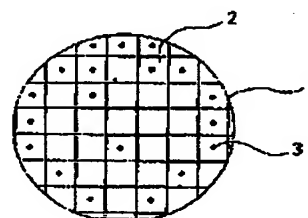
特開58-60529(2)

結果的にウエハ当りのチップ良品率を向上し得るのである。

なお前記実施例においては、組織表示(4)として番号表示の場合を示したが、個々のチップを識別し得るものであれば、その他任意の文字、記号、パターンであつてよく、その表示位置も表面、裏面もしくは両面のいずれでもつてもよい。また識別を電気特性の測定時に行なうようにしているが、例えば試験、成膜、写真製版、チップ分割、ボンディング、封止などの各製造工程に対して、独立もしくは組み合わせて用いるようにしてもよく、特にボンディング工程においては、多種のチップを同一基板内に形成する場合、表示によつて各チップを識別できるために、工程の自動化、省力化に寄与することができる。

以上詳述したようにこの発明によるときは、1つの半導体ウエハ上に複数個の半導体チップを形成される場合にあつて、個々のチップに識別表示を与えるようにしたので、各チップを特性別に選別できることになり、これによつてウエハ当りの

第 1 図



第 2 図

